



## Ihr Input zur Designinitiative Mikroelektronik

### - Hier Sammlung von Ideen aus dem Umfeld von Projekt HEP –

Name: VE-HEP Konsortium und assoziierte Partner |  
Ansprechpartner: Dr. Norbert Herfurth / Dr. Arnd Weber

Organisation: IHP (Konsortialführer von HEP) / Partner von TU Berlin im Projekt HEP  
[herfurth@ihp-microelectronics.com](mailto:herfurth@ihp-microelectronics.com) ;

Kontaktdaten: [arndwweber@gmail.com](mailto:arndwweber@gmail.com) ;

#### **Frage 1: Welche wissenschaftlichen und wirtschaftlichen Bedarfe und Herausforderungen bestehen beim Chip-Design? Welche Lücken sollen adressiert werden?**

- Herstellung von für industrielle Kunden komplett überprüfbar, offenen, sicheren, wettbewerbsfähigen Komponenten (Chipdesigns, IP cores, tools).
- Erarbeitung länder- und märkteübergreifender Regulierung, die die IT-Sicherheit fördert und sicherere offene Systeme nicht benachteiligt.
- Erarbeitung von Verfahren zur Standardisierung von GDS-Dateiinhalten, die es erlaubt, Fabs leichter zu wechseln.
- Forschung zur Entwicklung komplett verifizierbarer Wertschöpfungsketten, also Integration verifizierbarer Prozesse zur Chipherstellung in weitere Prozesse wie Maskendesign und Packaging einerseits, sowie in Anwendersoftware, Betriebssysteme etc. andererseits. [gewisse Wiederholung]
- Förderung offener Chipdesignprozesse, insbesondere von EDA-Tools und PDKs, z.B. im Hinblick auf Fähigkeiten, Anwendbarkeit und Nutzerschnittstelle. Hierbei auch Förderung europaweiter und weltweiter Kooperationen.
- Erforschung der technischen und wirtschaftlichen Machbarkeit von Standard Cell Libraries.
- Herausforderung Personalmangel: Erforschung, welche Prozesse möglich wären, um die entsprechenden Arbeitsplätze in Chip-Design und Produktion attraktiver zu machen.

#### **Frage 2: Welche Forschungs- und Entwicklungsbedarfe bestehen aus Sicht der Unternehmen für die erfolgreiche Erarbeitung neuer Chip-Designs? Welche Hindernisse bestehen insbesondere für Start-ups und KMU, eigene Chip-Designs umzusetzen?**

- Entwicklung von Maßnahmen zur Erweckung des Interesses an der Arbeit im Chipdesign, angefangen vom spielerischen Umgang in der Schulzeit bis zur Vergrößerung der Industrie in Deutschland und Europa, damit der Arbeitsmarkt attraktiver wird. Hierzu leichtere Verfügbarkeit von Design-Software und ASIC-Produktion (über Europractice hinaus). Förderung der Nuclei freier, offener EDA-tools in globaler Kooperation, wie Yo-sys aus Österreich und Openlane aus den USA.



- Für Start-ups, KMUs und sogar größere Unternehmen sind die Lizenzkosten für proprietäre EDA-Tools ein erhebliches Hindernis, ferner die NDAs für PDKs. Damit einher gehen geringes Interesse der Jugend, sich mit Chip-Gestaltung zu beschäftigen, sowie schwierige Möglichkeiten, Arbeitgeber zu finden und ggf. zu wechseln.
- Erarbeitung technischer und organisatorischer Verfahren zum Ausmerzen ausbeutbarer Schwächen offener Systeme, insb. für Chips in Infrastrukturen und Verteidigung.

**Frage 3: Wie kann eine Design-Infrastruktur (Zugang bspw. zu Design-Werkzeugen, IP-Bausteinen, Design-Flows, etc.) aussehen? Mit welchen konkreten Ansätzen kann auf die spezifischen Bedürfnisse von Start-ups und KMU eingegangen werden?**

- Ausgehend von existierenden Tools wird eine offene Design-Infrastruktur in internationaler Arbeitsteilung entstehen. Förderung der Entwicklung offener Tools wäre hilfreich, zur Erreichung von transparenter, hoher Sicherheit, geringer Fläche, geringem Stromverbrauch, hoher Leistung und hoher Temperaturbeständigkeit. Hierbei ist eine internationale Konkurrenz zwischen verschiedenen offenen Toolchains zu beobachten, die grundsätzlich begrüßenswert ist, die Förderung sollte aber zu Tools mit hoher Nutzung führen.
- Bildung entsprechender Plattformen zum Austausch innerhalb geschlossener und offener Ansätze sowie miteinander. Entwicklung von Roadmaps für das Design offener Tools, Komponenten und Systeme, sowie für proprietäre Designs, einschließlich der Produktion und des Packagings (Vertrauenswürdigkeit, Souveränität).

**Frage 4: Welche Potenziale sehen Sie bei Open Source Lösungen (z. B. Open EDA-Tools, Open PDK, Open Hardware)?**

1. Unmittelbare Verwendung für die Produktentwicklung.
2. Preiswerte Erprobung neuer Ideen in Prototypen und Simulationen.
3. Heranziehen von Entwicklern, die auch proprietäre tools verwenden, soweit sie geeigneter sind als die offenen.

**Frage 5: Was sind Ihre Erwartungen an ein Netzwerk zur Stärkung des Chipdesigns in Deutschland? Welche Themen sollte ein solches Netzwerk adressieren?**

- Etablierung eines Netzwerks, das neben geschlossenen auch offene, freie Prozesse fördert. Internationale Kooperation zu folgenden Zwecken: Verbessern existierender offener Tools im Hinblick auf Fähigkeiten, Nutzerschnittstelle, Nutzbarkeit anderer Fabs mit anderen Fähigkeiten (analoge Schaltungen, Strukturgröße, Preis pro Chip...)

**Frage 6: Wie kann die Aus- und Weiterbildung gestärkt werden? Welche Rolle spielt die (fehlende) Verfügbarkeit von Expertinnen und Experten?**

- Förderung der Beschäftigung mit Chipdesign in der Jugend und bei Erwachsenen durch Reduktion der Schwellen durch offene, preiswerte Tools. Reduktion des Mangels durch



Förderung lokaler (europäischer) Produktion, damit Stärkung der Marktposition der Entwickler.

**Weitere Ansichten, Anregungen und Positionen zur Designinitiative Mikroelektronik:**

- Förderung zur Entwicklung von Verfahren zur Vermeidung von Designschwächen (vulnerabilities). Forschung zur prototypischen Erstellung formal bewiesener, kompletter Wertschöpfungsketten.

*Editorische Notiz: Dieses Feedback wurde dem Projektträger des BMBF, VDI/VDE Innovation + Technik GmbH, zum 4.10.2022 übermittelt.*